

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153550

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

H01L 21/82  
G06F 17/50

(21)Application number : 07-312587

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1995

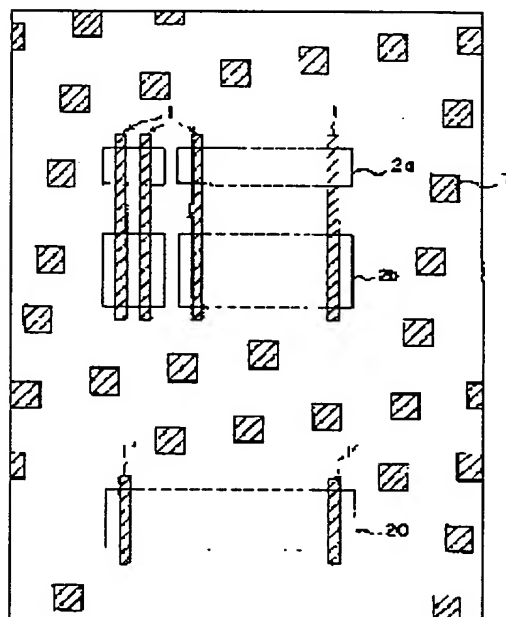
(72)Inventor : YAMAGUCHI AKIRA

## (54) PATTERN FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pattern forming method capable of easily predicting the deterioration in the capacity of a semiconductor due to the increase in wiring capacity by correctly forming even dummy patterns having satisfactory spreading rate.

SOLUTION: The reference dummy patterns are formed by forming pattern cells in arrayal mode to set up the region capable of forming the dummy patterns according to the first patterns 1, 1 required for activating the device to select the pattern cells positioned in said region of the reference dummy patterns for the formation of the dummy pattern 7 so that this dummy pattern 7 and the first patterns 1, 1' may be composed to form the layout pattern.



## LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3247600

[Date of registration] 02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許番号

特許第3247600号  
(P3247600)

(45) 発行日 平成14年 1 月15日 (2002. 1. 15)

(24) 登録日 平成13年11月 2 日 (2001. 11. 2)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/82

G 0 6 F 17/50

6 5 8 P

G 0 6 F 17/50

6 5 8

H 0 1 L 21/82

C

請求項の数 8 (全 7 頁)

(21) 出願番号 特願平7-312587

(22) 出願日 平成 7 年11月30日 (1995. 11. 30)

(65) 公開番号 特開平9-153550

(43) 公開日 平成 9 年 6 月10日 (1997. 6. 10)

審査請求日 平成12年 3 月 2 日 (2000. 3. 2)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 山口 明

神奈川県川崎市幸区堀川町580番 1 号

株式会社東芝半導体システム技術センタ  
ー内

(74) 代理人 100058479

弁理士 鈴江 武彦

審査官 大嶋 洋一

(56) 参考文献 特開 平 5 - 267460 ( J P , A )

特開 平 9 - 81622 ( J P , A )

(58) 調査した分野 (Int.Cl.<sup>7</sup> , D B 名)

H01L 21/82

G06F 17/50

(54) 【発明の名称】 パターン発生方法

1

(57) 【特許請求の範囲】

【請求項 1】 パターンセルをアレイ状に発生させることにより標準ダミーパターンを発生させ、装置を機能させるために必要な第 1 のパターンに基づいてダミーパターンを発生させることが可能な領域を設定し、前記標準ダミーパターンの前記領域内に位置するパターンセルを選択してダミーパターンを形成し、このダミーパターンと前記第 1 のパターンとを合成してレイアウトパターンを発生させるようにし、前記標準ダミーパターンは、前記パターンセルを装置の基本軸に対して斜めに配列することにより発生させることを特徴とするパターン発生方法。

【請求項 2】 パターンセルをアレイ状に発生させることにより標準ダミーパターンを発生させ、装置を機能させるために必要な第 1 のパターンに基づいてダミーパタ

2

ーンを発生させることを禁止する領域を設定し、前記標準ダミーパターンより前記領域内に位置するパターンセルを削除したダミーパターンを形成し、このダミーパターンと前記第 1 のパターンとを合成してレイアウトパターンを発生させるようにし、前記標準ダミーパターンは、前記パターンセルを装置の基本軸に対して斜めに配列することにより発生させることを特徴とするパターン発生方法。

【請求項 3】 前記パターンセルは単純な形状を有し、前記標準ダミーパターンは前記パターンセルを均等な間隔を有するように配列することにより発生される請求項 1 または 2 記載のパターン発生方法。

【請求項 4】 前記ダミーパターンを形成する時に、前記領域内に少なくとも一部が含まれるパターンセルを削除する請求項 1 乃至 3 記載のパターン発生方法。

【請求項5】 前記標準ダミーパターンは、装置を機能させるために必要な第2のパターンと、均等に重なるように発生される請求項1乃至4記載のパターン発生方法。

【請求項6】 前記ダミーパターンは、多結晶シリコン膜のパターンにより構成される請求項1乃至5記載のパターン発生方法。

【請求項7】 前記ダミーパターンは、アルミニウム膜のパターンにより構成される請求項1乃至5記載のパターン発生方法。

【請求項8】 前記パターンセルは、前記第1のパターンに対して設定された最小寸法を用いて形成されたパターンセルの面積の10倍以上の面積を有する請求項1乃至7記載のパターン発生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置において配線等のレイアウトのパターン発生方法に関する。

【0002】

【従来の技術】従来、半導体装置において、例えば配線として半導体基板上に形成されるA1膜、多結晶シリコン層等のレイアウトパターンは、回路設計、素子の特性、パターン設計等の要請により半導体装置の動作に必要な領域にのみ選択的に発生されている。このため、これらのパターン面積が半導体装置全体の面積に対する割合（被覆率）が、各半導体装置ごとに変動する。

【0003】また、半導体装置の製造工程において、例えば多結晶シリコン膜またはA1膜等をエッチングする時に、これらの被覆率が小さいと、標準的なエッチング条件を用いた場合に、いわゆるローディング効果が生じる。これは、オーバーエッチング時に、例えば多結晶シリコン膜等の被エッチング膜の下部が側面よりエッチングされてしまう現象である。これにより、上述のように被覆率の小さいパターンを有する半導体装置では、歩留まりが低下するという問題があった。

【0004】このため、従来は、例えば多結晶シリコン膜またはA1膜等の被エッチング膜の被覆率を増加させるために、本来必要なパターンに加えて、ダミーパターンを手または計算機処理により追加するという方法が用いられている。

【0005】しかし、このような例えば多結晶シリコン膜またはA1膜等のレイアウトパターンは、一般に非常に複雑である。このため、手によりダミーパターンを追加するという方法は、誤りが発生する可能性が高いという問題がある。

【0006】さらに、手によりダミーパターンを追加する方法は量的に限界があるため、半導体装置全体に対して均一に多数のパターンを発生させることは困難であるという問題がある。

【0007】また、計算機処理によりダミーパターンを

発生させる場合には、一般にダミーパターン追加アルゴリズムを用いて、本来のレイアウトパターンに対して自動的にダミーパターンが発生される。このため、ダミーパターンの形状は、本来のレイアウトパターンの形状の影響を受けて発生され、各製品ごとに異なったものとなる。このように、設計者は、発生されるダミーパターンの形状を正確に予測することが不可能である。このため、ダミーパターン発生後に、設計者がパターンを検証することが非常に困難となってしまう。

10 【0008】また、図10に示すように、ダミーパターンにより例えば多結晶シリコン膜4を形成した部分では、例えばA1膜5等の上層配線膜の容量を増加させてしまう。図10は、例として多結晶シリコン膜4のダミーパターンを発生させた領域の断面図を示している。ここでは、半導体基板11上に、層間絶縁膜12を介してダミーパターンによる多結晶シリコン膜4が形成されており、さらに層間絶縁膜13を介してA1膜5が形成されている。このように、ダミーパターンを形成した部分では、A1膜5と多結晶シリコン膜4との間の層間絶縁膜13の膜厚 $T_{ox2}$ が、A1膜5と半導体基板11との間の層間絶縁膜12および13の膜厚 $T_{ox1}$ に比べて薄くなるため、A1膜配線層の単位長さ当たりの配線容量が増加してしまう。

【0009】一方、手または計算機処理によりダミーパターンを追加した場合には、その発生方法の限界に起因して、ダミーパターンをベタパターンとする場合が多い。このため、このような領域では、配線容量が大幅に増大する。

30 【0010】また、前述のように発生方法の限界から、半導体装置上に均一にダミーパターンを発生させることが困難であるため、ダミーパターンに疎密が生じてしまう。このため、ダミーパターンが密に形成された領域と、ほとんど形成されていない領域とにおいて、配線容量の増加が不均一となる。これにより、ダミーパターンに起因して配線遅延が増加する等、能力の低下を予測することが非常に困難である。

【0011】

40 【発明が解決しようとする課題】このように、従来のパターン発生方法では、手のみまたは計算機処理のみによりダミーパターンを発生させるため、誤りが生じやすいという問題があった。また、従来のパターン発生方法により十分な被覆率を達成するためには、ダミーパターンに疎密が生じる可能性が高いという問題があった。このため、配線容量が半導体装置内において不均一に増加することにより、ダミーパターンによる半導体装置の能力の劣化を予測することが困難であった。

【0012】本発明の目的は、製品ごとにダミーパターンを作りかえる必要がなく、十分な被覆率を有する均一なダミーパターンを誤りなく発生し、配線容量の増加による半導体装置の能力の劣化を簡単に予測することがで

きるパターン発生方法を提供することである。

#### 【0013】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明によるパターン発生方法は、パターンセルをアレイ状に発生させることにより標準ダミーパターンを発生させ、装置を機能させるために必要な第1のパターンに基づいてダミーパターンを発生させることが可能な領域を設定し、前記標準ダミーパターンの前記領域内に位置するパターンセルを選択してダミーパターンを形成し、このダミーパターンと前記第1のパターンとを合成してレイアウトパターンを発生させるようにし、前記標準ダミーパターンは、前記パターンセルを装置の基本軸に対して斜めに配列することにより発生させることを特徴とする。

【0014】また、本発明によるパターン発生方法は、パターンセルをアレイ状に発生させることにより標準ダミーパターンを発生させ、装置を機能させるために必要な第1のパターンに基づいてダミーパターンを発生させることを禁止する領域を設定し、前記標準ダミーパターンより前記領域内に位置するパターンセルを削除したダミーパターンを形成し、このダミーパターンと前記第1のパターンとを合成してレイアウトパターンを発生させるようにし、前記標準ダミーパターンは、前記パターンセルを装置の基本軸に対して斜めに配列することにより発生させることを特徴とする。

【0015】このように、上記パターン発生方法では、あらかじめ標準ダミーパターンを発生させておき、この標準ダミーパターンからダミーパターン発生可能領域内のパターンセルを選択、またはダミーパターン発生禁止領域からパターンセルを削除することにより、ダミーパターンを形成するため、あらかじめ発生される標準ダミーパターンを、第1のパターンと無関係に発生させることが可能である。このため、標準ダミーパターンは、パターンセルをアレイ状に発生させるという単純な作業により発生させることができるため、誤りが発生する可能性を低減し、さらに、十分な被覆率を有するように発生させることが可能となる。また、標準ダミーパターンを第1のパターンと無関係に発生させることができるため、装置全体に均一に発生させることができる。これにより、ダミーパターンによる配線容量の増加を容易に算出することができ、装置の能力の劣化を容易に予想することが可能となる。

#### 【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。ここでは、例として多結晶シリコン膜のレイアウトパターンを発生させる方法について説明する。

【0017】本実施の形態における多結晶シリコン膜は、本来、例えば図1に1および1'で示すようなレイアウトパターンを有している。ここで、2a、2b、2

cは例えば素子領域を示し、例えばパターン設計等の要請により、素子領域2aと素子領域2bとは接近して形成されているが、素子領域2cは素子領域2aおよび2bから離れて配置されている。このように、多結晶シリコン膜のパターン1と1'とは、その間隔が離れて形成されており、被覆率が非常に小さい。このため、前述のようなローディング効果を抑制するために、例えば多結晶シリコン膜のパターン1と1'との間にダミーパターンを設けて、被覆率を増加させる必要がある。

【0018】次に、このような本来のレイアウトパターンに関係なく、例えば図2に示すような単純な形状のパターンセル4を、半導体装置の全体にアレイ状に発生させ、標準ダミーパターンとする。図2に示すパターンセル4を使用した場合には13%の被覆率を達成することができる。また、破線で1例を示すように、パターンセル4'のように大きなパターンセルを各パターンセルとして使用した場合には、30%の被覆率を達成することができる。このように、パターンセル4の面積は、所望の被覆率に応じて、適宜設定することができる。

【0019】また、パターンセル4は、例えばA1膜のパターンを考慮して、配線容量が均一化するように配列されることが望ましい。例えば、図3に示すように、A1膜配線5が例えばXY軸に沿って形成される場合には、多結晶シリコン膜のパターンセル4をXY軸に対して斜めに配列する。

【0020】パターンセル4が、XY軸に平行に発生され、A1膜配線5と平行に配列された場合には、特定のA1膜配線5の下方にのみダミーパターンが形成され、他の配線の下方にはダミーパターンが全く形成されないという不均一が生じてしまう。このため、特定のA1膜配線の容量のみが増大し、他の配線の容量は変化しないことになり、半導体装置の能力が著しく低下してしまう。これを防止するために、パターンセル4と例えばX軸およびY軸との間の距離が均一に変化するように、配列させる必要がある。

【0021】このようにすることにより、X軸Y軸に平行に形成されたA1膜配線5の容量の増加を半導体装置全体においてほぼ均一にすることが可能となる。次に、図4に示すように、多結晶シリコン膜の本来のレイアウトパターン1と、必要に応じて例えば素子領域のレイアウトパターン2から、設計ルールに従って、例えば計算機処理により、ダミーパターン発生可能領域6を設定する。図4では、ダミーパターン発生可能領域6は斜線部により示され、例えば境界線3の外側の領域として設定されている。

【0022】この後、このダミーパターン発生可能領域6と前述の標準ダミーパターンとのAND処理を行い、図5に示すように、ダミーパターン7を発生させる。ここで、必要に応じて、図5に破線で示すように、領域6の内部に一部が含まれるパターンセル4aを削除するこ

とにより、設計ルール違反を防止することができる。

【0023】次に、図1に示す本来のパターン1と、図5に示すダミーパターン7とのOR処理を行い、レイアウトパターンが完成する(図6)。ここで、図5に6aとして示す素子領域内の多結晶シリコン膜の被覆率は高く、ほぼ均一である。これに対して、素子領域6aの内部とほぼ同様の被覆率を有するダミーパターンを発生することにより、チップ全体を均一な被覆率とすることができる。

【0024】このように、本実施の形態によれば、あらかじめ標準ダミーパターンを形成しておくという簡単な作業を追加するだけで、CAD処理により、レイアウトパターンを形成することができる。このため、本来のパターンにダミーパターンを追加してレイアウトパターンを形成する時に誤りが発生する可能性を低減することができる。

【0025】また、標準ダミーパターンを用いて、簡単に被覆率を増加させることができるため、エッチング時にローディング効果によりたとえば多結晶シリコン膜の側面下部がオーバーエッチングされることを防止することができ、歩留まりを向上させることが可能となる。

【0026】また、標準ダミーパターンは、あらかじめ標準化されているため、本来のパターン1に追加した後のレイアウトパターンを容易に検証することができる。さらに、本実施の形態による標準ダミーパターンは、例えば図3に示すように、X軸Y軸に対して斜めに配列されたパターンセル4により構成されているため、任意のX軸Y軸に沿って被覆率が均一となる。これにより、標準ダミーパターン上に形成される例えばAl膜配線の配線容量は均一に増加する。このため、この配線容量の増加による回路のスピードの劣化を均一とすることができる。また、標準ダミーパターンは、あらかじめ標準化されているため、このダミーパターンの追加による容量の増加と、この容量増加に起因した能力の劣化を容易に予想することができる。このため、ダミーパターンを追加してレイアウトパターンを決定する前に、半導体装置の能力の検証を、例えばシュミレーション等を用いて容易に行うことができる。

【0027】このように、本実施の形態によれば、特にダミーパターンを追加したことによる半導体装置の性能の変化を、実際に試作する必要なく、例えば計算機により、簡単に検証することができるため、開発に要する時間および費用を大幅に削減することができる。

【0028】次に、本発明の第2の実施の形態として、上記第1の実施の形態と同様の標準ダミーパターンを用いて、他のCAD処理により、レイアウトパターンを作成する方法について説明する。

【0029】前述の第1の実施の形態では、図1に示す多結晶シリコン膜の本来のパターン1に基づいてダミーパターン発生可能領域6を設定したが、本実施の形態で

は、図1に示す多結晶シリコン膜の本来のパターン1に基づいて、設計ルールより、ダミーパターン発生禁止領域8を設定する。このダミーパターン発生禁止領域8は、図7に斜線部として示されている。

【0030】次に、前述の第1の実施の形態と同様の標準ダミーパターンから、ダミーパターン発生禁止領域8に包含または接触しているパターンセル4を削除して、図8に示すようなダミーパターン9を発生させる。

【0031】この後、この図8に示すダミーパターン9と、図1に示す本来のパターン1とを加算して、図6に示すようなレイアウトパターンが完成する。以上のように本実施の形態では、前述の第1の実施の形態とCAD処理の方法が異なることを除けば、前述の第1の実施の形態と同様に実施することが可能であり、前述の第1の実施の形態と同様の効果を有する。

【0032】なお、上記第1および第2の実施の形態では、例として多結晶シリコン膜のレイアウトパターンについて説明したが、例えばAl膜、Cu膜、W等の高融点金属膜、WSi等の高融点金属シリサイド膜等の他の導電膜に適用することも可能である。さらに、導電膜のレイアウトパターンに限らず、例えば前述のローディング効果のように、被覆率に起因した加工上の問題が生じる可能性のあるあらゆるレイアウトパターンに適用することが可能である。

【0033】また、あらかじめ形成される標準ダミーパターンのパターンセル4は、前述のように四角形である必要はなく、被覆率および配線容量等が簡単に算出することができる単純な形状であれば、他の形状のパターンセルを用いることも可能である。

【0034】ただし、半導体装置全体にできるかぎり均一にダミーパターンを発生させるために、標準ダミーパターンに使用される個々のパターンセル4は、小面積であることが望ましい。

【0035】また、ダミーパターンの追加によるCAD処理時間の増加を防止するため、標準ダミーパターンのパターンセル4の数は少ない方が望ましい。このため、例えば図9に示すように、パターンセル4の面積を大きくすることにより、被覆率を確保し、同時にパターンセル4の数を減らすことができる。

【0036】以上の2つの観点より、パターンセル4の面積は、多結晶シリコン膜の本来のパターン1の最小加工寸法を用いてパターンセルを形成した場合の面積の10倍以上1000倍以下が望ましい。

【0037】

【発明の効果】以上のように、本発明によるパターン発生方法では、十分な被覆率を有する均一なダミーパターンを誤りなく発生し、配線容量の増加による半導体装置の能力の劣化を簡単に予測することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置における

多結晶シリコン膜および素子領域のパターンを示す上面図。

【図 2】本発明の実施の形態による標準ダミーパターンを示す上面図。

【図 3】本発明の実施の形態による標準ダミーパターンおよび A1 膜配線のパターンを示す上面図。

【図 4】本発明の第 1 の実施の形態によるダミーパターン発生可能領域を示す上面図。

【図 5】本発明の第 1 の実施の形態により発生されたダミーパターンを示す上面図。

【図 6】本発明の第 1 の実施の形態により形成されたレイアウトパターンを示す上面図。

【図 7】本発明の第 2 の実施の形態によるダミーパター

ン発生禁止領域を示す上面図。

【図 8】本発明の第 2 の実施の形態により発生されたダミーパターンを示す上面図。

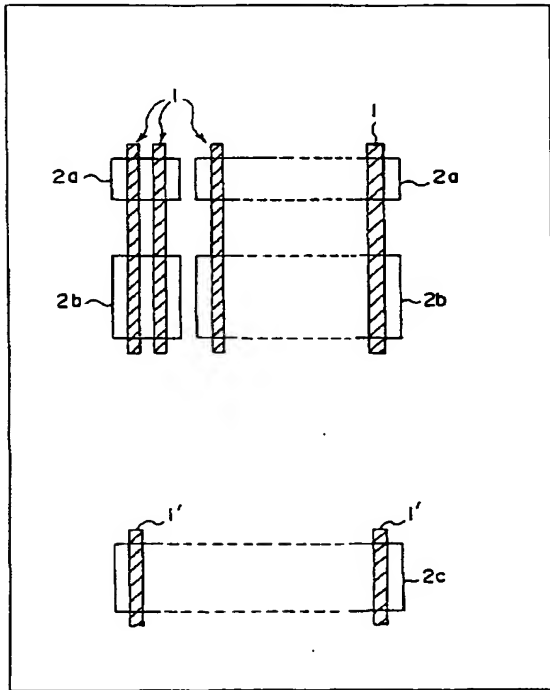
【図 9】本発明の他の標準ダミーパターンを用いて形成されたレイアウトパターンを示す上面図。

【図 10】半導体装置においてダミーパターンにより多結晶シリコン膜が形成された領域の断面図。

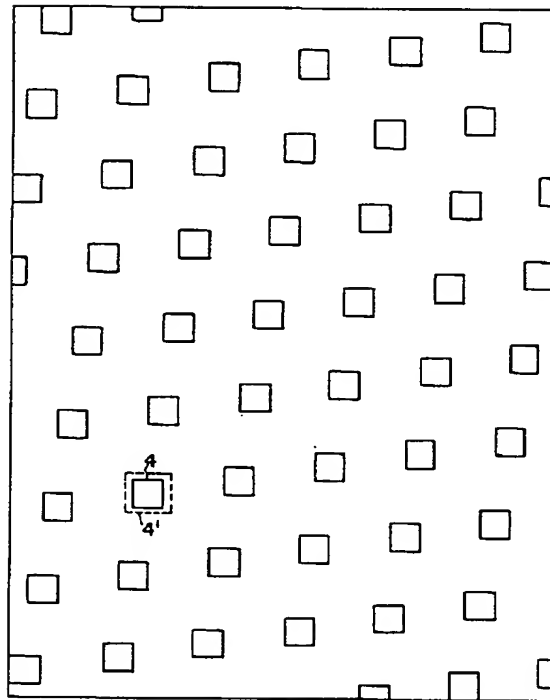
【符号の説明】

1…多結晶シリコン膜、2…素子領域、3…境界、4…パターンセル、5…A1 膜、6…ダミーパターン発生可能領域、7、9…ダミーパターン、8…ダミーパターン禁止領域、11…半導体基板、12、13…層間絶縁膜

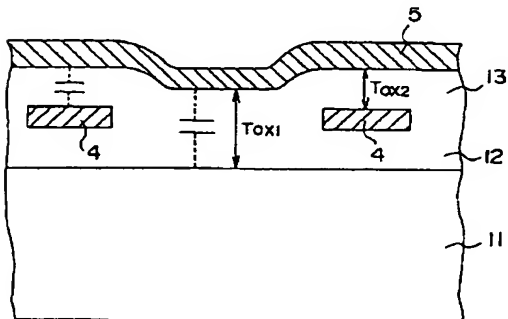
【図 1】



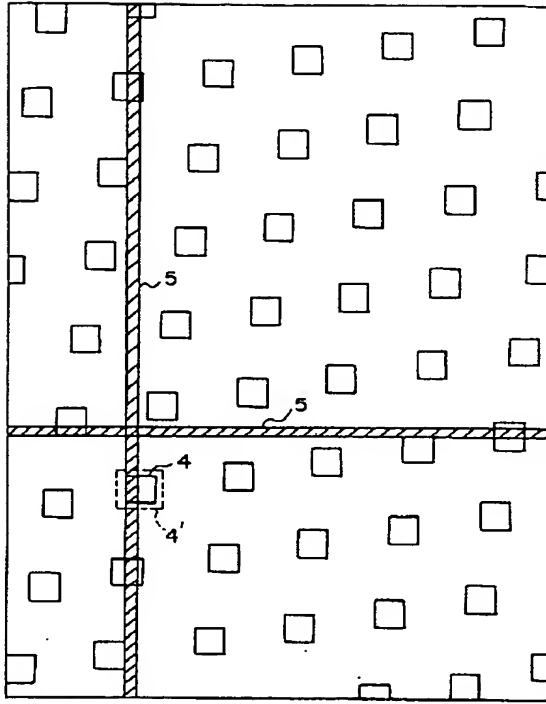
【図 2】



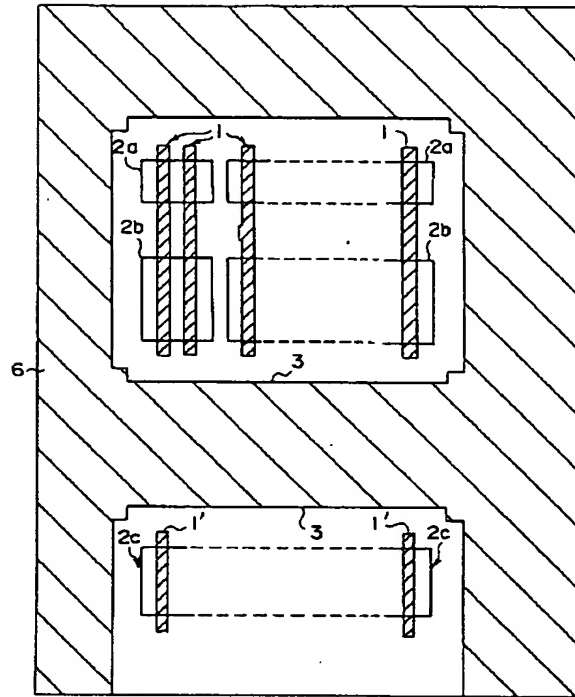
【図 10】



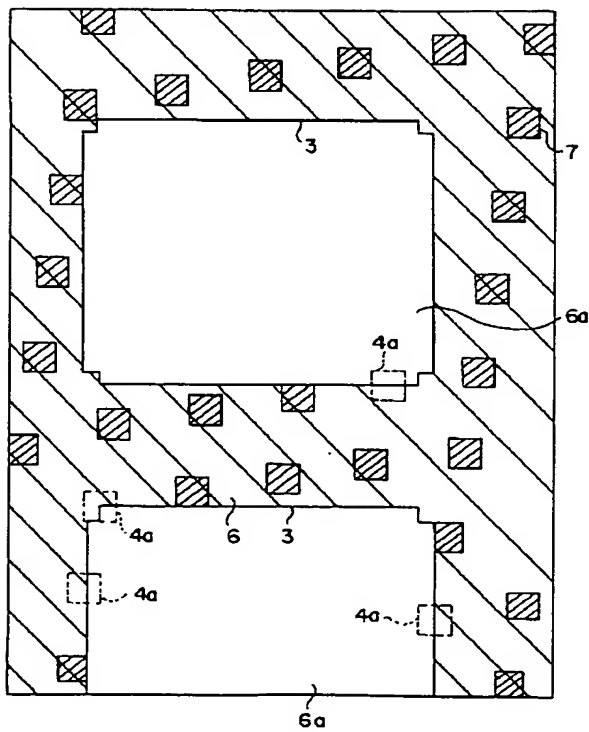
【図3】



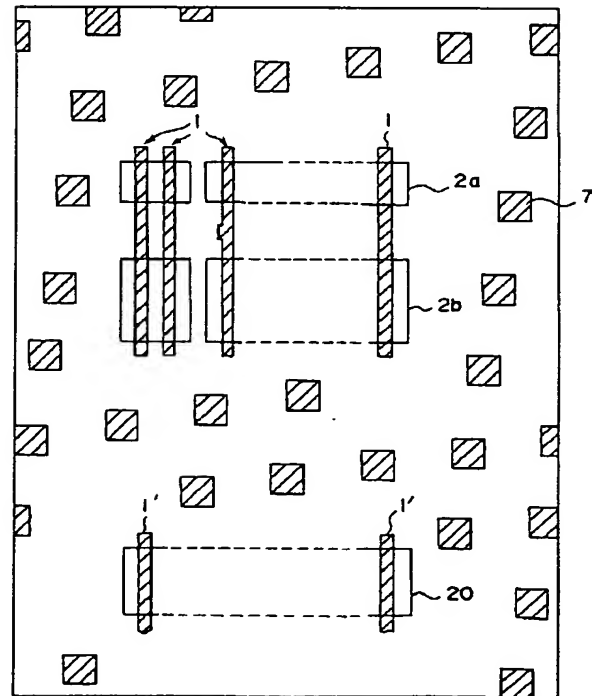
【図4】



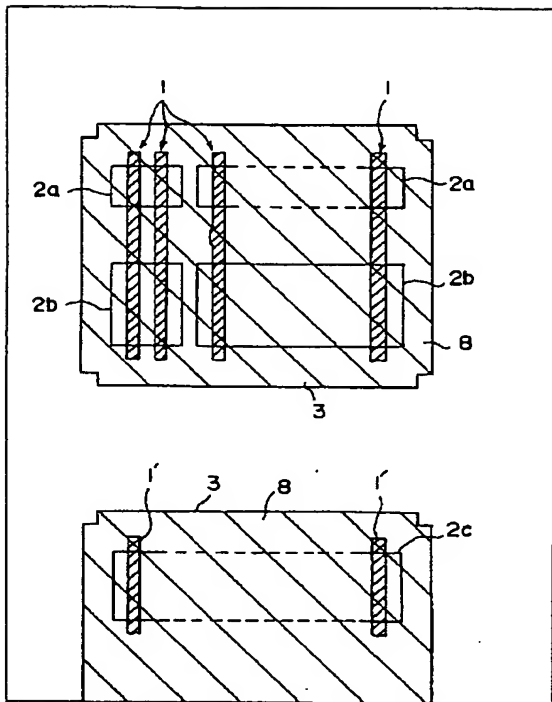
【図5】



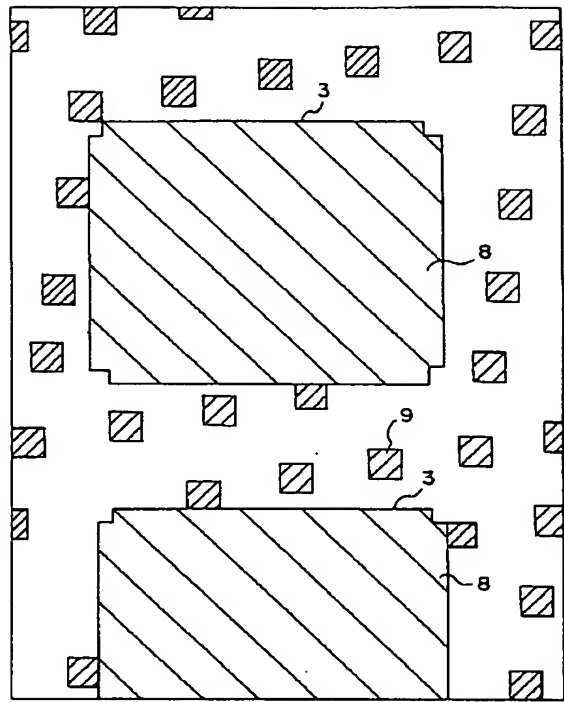
【図6】



【図7】



【図8】



【図9】

